2軸加速度センサの値をパソコンに取り込む装置の製作

PWM 出力で外付け回路の少ない ADXL213 を利用

西村芳一

加速度センサの出力には、大きく分けて二つある。一つはアナログ信号を、もう一つはディジタル信号を出力する品種だ、アナログ信号を出力する品種は、外部でフィルタや増幅器などを持たせる必要がある。ここでは、加速度に応じてパルスの幅が増減する PWM (pulse width modulation) 出力を持つ加速度センサを例に、パソコンにその値を取り込むまでを紹介する。

(編集部)

シリコン上に組み上げられた「マイクロメカ」を使った MEMS(micro electro mechanical systems)は,本誌で もたびたび取り上げられ,以前からとても興味がある技術でした.しかし,実際の製品への応用となると,なかなか 思いつかないものです.今回紹介する加速度センサは,カメラの手ぶれ防止や自動車など,意外と身近な商品に,知

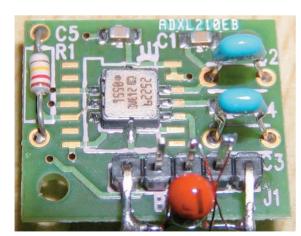


写真1 ADXL213の評価ボードADXL213EB

らないうちに応用が進んでいるようです.

なんとなく扱いにくい印象のあったデバイスですが、米国 Analog Devices 社の X-Y 軸加速度センサ「ADXL213」(写真1)を使ってみる機会を得たので、使用例を紹介します、思いのほか簡単に扱えるので、これを機にいるいろな分野で利用してみたらいかがでしょうか、

1. パルス幅変調出力を持つADXL213 のあらまし

図1にADXL213の内部ブロックを示します.直交する2軸方向の加速度を測定できます.振動などの動的加速度だけではなく,静的な重力加速度なども測定できます.実際,このセンサの測定できる範囲は±1.2gですから,重力加速度程度を測るのに向いています.実際に試したことはないのですが,地下の岩盤の組成の違いによって,地上の重力加速度は異なることが知られているので,重力計としてそれが検知できれば,個人的には面白いと思いました.

写真1のように約5mm角のセラミック LCC(leadless chip carrier)パッケージに収められています. 小さな製品 にも組み込める大きさです.

出力の分解能と周波数レスポンスはトレードオフの関係にあり、21に示す C_x と C_y の値を変えることによって調整が可能です.コンデンサの値を大きくすると,分解能は上がりますが,レスポンスが悪くなります.ADXL213は使用目的に合わせて簡単に特性が変えられますから,とても便利です.

KeyWord

パルス幅変調,PWM,ADXL213EB,EP1C3,ByteBlaster II,RS-232-C,ハイパーターミナル,VHDL,MEMS



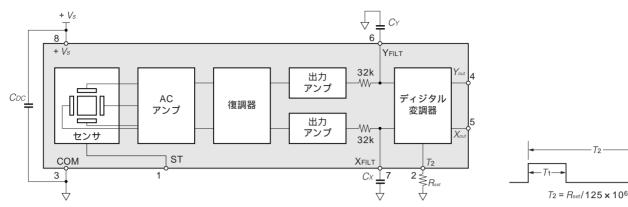


図1⁽¹⁾ 2 **軸加速度センザ[** ADXL213 **]の内部ブロック** PWM 出力でマイコンなどとの接続が容易.

センサからの出力は,マイコンなどと簡単に接続できるように,PWM(pulse width modulation)の出力になっています.特にA-Dコンバータがなくても接続できるので,とても使いやすくなっています.

図1に示すPWMのパルスにおいて, T_2 の周期は R_{set} で決められて常に一定です.ただし外部の抵抗を変えることにより,周期を変えることが可能です.決められた速度で動作するマイコンにつなぐ場合には,そのマイコンのクロック速度に合わせることができ,とても便利な仕様となっています. T_1 の幅は,加速度の大きさで変化します.従って T_1 と T_2 の比を計算すれば,最終的な加速度が分かります.

2. ADXL213の出力をパソコンに表示 するための構成

これから,実際にこのデバイスを使って動作実験を行ってみることにします.入門者でも簡単に再現できるように,できるだけ簡単な回路を使うことにしました.また,新たに基板を作らなくても実験できるように,出来合いの基板を組み合わせて使うことにします.

● 実装を考慮し評価ボード [ADXL213EB] を入手した

写真1から分かるように、ADXL213のパッケージはとても小さいので、ユニバーサル基板に手はんだで配線するのは苦労しそうです。そこで普通なら基板を作らないといけなそうですが、幸いにも Analog Devices 社から写真1のような評価基板が売られています編集部注、図2のような

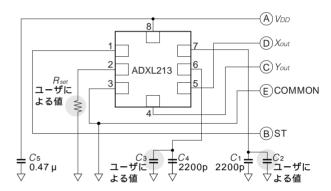


図 2⁽²⁾ 加速度センサ評価ボード ADXL 213 EB の回路図

本当に基本的な回路ですが,バラック配線をすることを考えれば,とても便利です.そこで本基板を購入しました. 基板上には R_{set} , C_2 , C_3 を取り付けるランドがあります. まず出力のPWMの基本周期を決めるための R_{set} を取り付けます.周期 T_{sf} s \mathbb{I} は,

$$T_2 = R_{set}/125 \times 10^6$$

の関係式で決まります.ここでは約1kHzで設計するので, R_{set} を120k としました. C_2 と C_3 はX軸とY軸それぞれの周波数応答特性を決めます.それらの関係式を $\mathbf Z$ 3に示しました.ここでは50Hz程度の帯域幅を得るため,どこでも簡単に入手可能な $0.1~\mu$ Fの積層セラミック・コンデンサを取り付けました.

ADXL213の動作電圧範囲は広く, 仕様書によれば3~

編集部注:米国 Analog Devices 社の製品に関する問い合わせは,下記の販売代理店までお願いします.

エー・ディ・エム(株) http://www.adm.co.jp グローバル電子(株) http://www.gec-tokyo.co.jp 富士エレクトロニクス(株) http://www.fujiele.co.jp (株)マクニカ テクスターカンパニー http://www. tecstar.macnica.co.jp

なお , Analog Devices 社のWeb ページから購入できる品種もあります . http://www.analog.com/jp/index.html

6Vの範囲で動作します.ここでは,その他の回路の動作電圧に合わせ,3.3Vを使っています.このような広い動作電圧範囲は,さまざまなICとインターフェースする際にとても便利です.

● FPGA は本誌 2003 年 10 月号付属基板を利用した

この ADXL213 の出力を取り込むデバイスとしては,普通はマイコンを考えるでしょう.マイコンのタイマを使い,そのパルス幅を測定することがすぐに考えられます.しかし,マイコンの場合は,簡単なプログラムだといっても,ソフトウェアを作りデバッグする行為が,筆者にとって面倒に思えました.そこで,FPGAによる実装を行うことにしました.デバッグもソフトウェアとは違い,シュミレーションで簡単に短時間で確認できます.実際,全体の設計およびデバッグは1日で終わりました.

次にFPGAを選ばなければなりません。幸いにも本誌には何回かFPGA基板が付属しています。その中から2003年10月号の付属基板を使うことにしました。本基板には米国Altera社の「EP1C3」というCyclonデバイスが搭載され

$f - 3db = 5[\mu F]/((x, y))$	
帯域幅[Hz]	コンデンサ容量[μ F]
1	4.7
10	0.47
50	0.10
100	0.05
200	0.027
500	0.01

図3¹ **センサの周波数特性を設定するためのめやす** 外付けコンデンサの定数で*X* 軸と *Y* 軸それぞれの帯域幅が決まる.

ています.今回の実験には規模が大き過ぎる感じもしましたが,一番手ごろなため,これを利用することにしました.本誌2007年7月号にも米国 Xilinx 社の FPGA が搭載された基板が付属しており,もちろんそれでも問題なく使えると思います.それらの基板とのインターフェースは自分で考える必要がありますが,簡単に置き換え可能です.

2003年10月号付属基板には電源用の3端子レギュレータも搭載され、とても使いやすくなっています。問題はクロックが付いていません。そこで、手元にあった20MHzの水晶発振器を写真2のように取り付けました。この20MHzの発振器は悪いことに5Vで動作します。FPGAとADXL213は3.3Vで動作させるので、5Vが別に必要になります。そこで、電源供給を5Vにし、そこから3.3Vのレギュレータにつなぐことにしました。

CyclonはSRAMタイプのFPGAなので、電源投入時に回路データのダウンロードが必要です.JTAGを使ってダウンロードすることもできますが、出来上がってからいちいちパソコンとつないでデータをダウンロードするのは面倒なので、ダウンロード用のシリアルROMを取り付けることにしました.幸い、ROM用のパターンはあらかじめ引いてありますから、部品をはんだ付けするだけです.手持ちの「EPCS4」を取り付けました.

ROMへのプログラムはダウンロード用のケーブル (ByteBlaster II)を使います. ROM を基板に取り付けたまま何度でも書き込めます. そこでROM 書き込み用に10 ピンのヘッダを取り付けました.

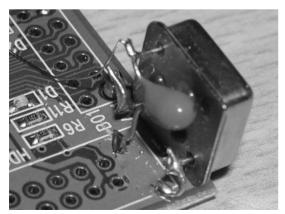


写真 2 2003 年 10 月号の付属基板に 20MHz の水晶発振器を取り付けたようす

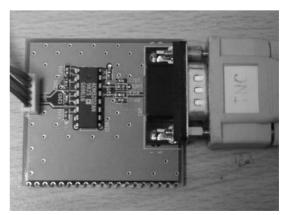


写真3 パソコンのシリアル通信ポートと2003年10月号付属基板を接続するレベル変換基板



● パソコンとはRS-232-Cで接続

FPGA の中で検出したデータを,何らかの手段で見える形にしなければなりません.そこで,パソコンとのインターフェースで最も簡単な,非同期シリアル通信を行うことにしました.そのため,FPGA の3.3V の信号をRS-232-Cの信号レベルに変換する必要があります.

これまで,同じようなシリアル通信による回路デバッグを何度も行ってきたので,幸いにも手元に**写真**3のようなレベル変換基板があります.インターフェースは**図**4のような回路で,コネクタを介してTXDとRXD,3.3V電源,グラウンドをつなぐだけです.

変換基板には9ピンのDサブ・コネクタがついており, パソコンのCOM 端子とつなげば,すぐに通信できるよう になっています.ハンドシェイク・ラインはすべて,回路 図のようにヌル接続となっています.

このような変換基板を一度作っておけば,これからの回路設計でも,デバッグ用インターフェースとして統一することにより,便利に使うことができます.レガシ・インターフェースといわれ,パソコンからはなくなる方向のインターフェースですが,設計現場においては,シリアル通信を使ったデバッグはまだまだ使われ続けるでしょう.

RS-232-C と 3.3V のインターフェース IC は , Analog Devices 社の「ADM3202A」を使いました . この IC は広く使われており , 東京・秋葉原の部品販売店(秋月通商など)でも安く簡単に入手することが可能です .

これまで紹介した回路をつなぎ合わせた回路を**図**5に示します、筆者の場合はシリアル・レベル変換基板が手元に

あったので,その部分は配線の必要がなく手間が省けました.残りの配線は,慣れた人なら1時間もかからないくらいの簡単なものだと思います.

3. 製作する装置の仕様を決める

これまで説明した回路を使い, 具体的に FPGA の回路設計をはじめます. その前にどのような仕様でパソコンにセンサ出力を取り込むのか検討します.

基本的にはパソコンからのコマンドを解釈し、それに従って測定した ADXL213のデータを取り出して加工し、パソコンに送り返す構造です、パソコンはハイパーターミナルなどといった汎用ソフトウェアを使い、シリアル通信を行います、FPGA内の処理は大きく分けて四つのブロックから構成されています。

● ADXL213 からのデータの取り込み

ADXL213からはパルス幅変調されたデータが送られてきます.基本的にはそのパルス幅を20MHzのクロックで測定します.この回路定数では波形を1kHzの周期で繰り返す設定にしています.20[MHz]/1[kHz]=20000となり,最大1/20000の分解能で測定できますが,ここでは10ビット(1024)の分解能で測定することにします.測定は1kHzの周期で,X 軸とY 軸を独立にそれぞれ測定します.データ出力は,加速度ゼロを中心に2の補数でプラスとマイナスの値です.

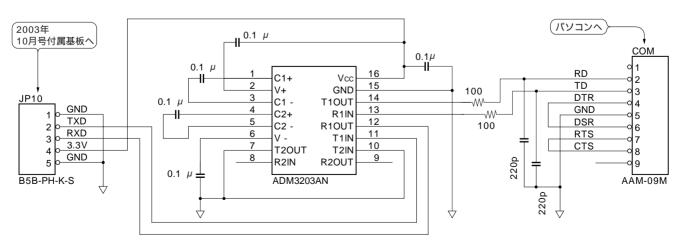
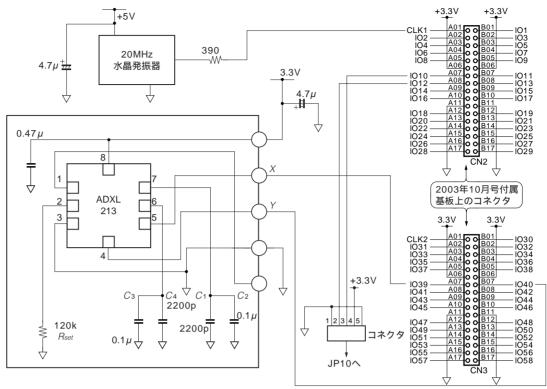


図4 パソコンのシリアル通信ポートと2003 年 10 月号付属基板を接続するレベル変換基板の回路図 Cyclon の 3.3V の信号を RS-232-C の信号レベルに変換する.



加速度センサの出力をパ ソコンに表示する装置の 回路図

図5

2003年10月号付属基板の回路は割愛した.

加速度センサから取り込んだデータをどのように処理 してパソコンへ送り出すのか

読み込んだだけのデータをそのまま出すのは味気ないですから,コマンドに従っていくつかの算術計算処理を行います.

● キャリプレーション

ICのばらつき,あるいはパルス幅のばらつきなどにより,加速度ゼロの絶対値をADXL213のパルス幅から得るのは難しいと思われます.そこで図6のようなゼロ・キャリブレーション回路を設けました.パソコンからのキャリ

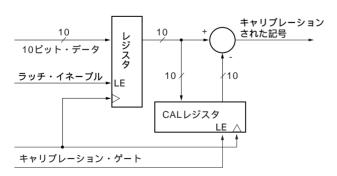


図6 ゼロ・キャリプレーション回路

パソコンからのキャリブレーション・コマンドを受け取ると,その時点のADXL213の値をゼロとみなすように,出力にオフセットを持たせる.

ブレーション・コマンドを受け取ると,その時点の ADXL213の値をゼロとみなすように,出力にオフセット を持たせます.

例えば ADXL213 を静止した水平な台の上に置いたときは, 重力加速度などが加わらないですから, ここを加速度ゼロと想定できます. そのときパソコンからキャリブレーション・コマンドを送ると, そこをゼロに設定します.

● キャプチャ

パソコンからコマンドを受け取った時点での,X軸とY軸の値を内部で保持します.それ以降はADXL213からのデータを受け付けません.パソコンから読み出すときは,現在値にその値が読み出されます.

● 最大値保持

パソコンからコマンドを受け取ると,それ以降,加速度のプラス方向の最大値を内部に自動的に保持します.パソコンからの読み出しに対しては,それ以降,現在値ではなく,その最大値が読み出されます.

● 初期化

初期化のコマンドをパソコンから受け取ると,内部の モードを現在値読み取り状態に戻します.また,キャリブ レーションのオフセットをゼロにクリアして,生のデータ



を読み出します.

パソコンからのコマンドの種類

パソコンからの非同期シリアル・コマンドを受信し,それを解読し,内部の処理系のトリガをかけます.シリアル伝送速度は19.2kbpsです.シリアルのパラメータは,「8ビット,パリティなし,1ストップ・ビット」です.

元のクロックは 20 MHz なので , ぴったり 19.2 kbps になりません . 20 [MHz] \div $65 \div 16 = 19.231$ [kbps]となりますが , 十分吸収できる誤差の範囲でしょう .

パソコンからのコマンドには,表1に示す6種類があります.簡単な回路とするため,ASCII文字で1文字のコマンドとなっています.大文字または小文字,いずれでも受け付けます.つまり,パソコンの対応する文字キーを押したことを検出し,処理を行います.

パソコンとのシリアル通信の設定

パソコンからのコマンドがデータを要求した場合,データ処理部で計算した値を ASCII 数字に変換し,19.2kbpsの速度で,シリアル信号で送り返します.シリアル通信のパラメータは受信部と同じで,「8 ビット,パリティなし,1 ストップ・ビット」です.

全体の処理の流れを**図**7に示します.データ処理部から受け取った2の補数の数値は,符号ビットが取り出された後,絶対値に変換されます.符号ビットを取り除いた後の絶対値は9ビット幅のデータです.従って0~511の範囲の数値になります.

このバイナリの数値を,3けたの10進数に変換します. 変換した後,プラスとマイナスの符号と3けたの10進数の合計,四つのASCIIキャラクタをパソコン側に送ります.

表1 パソコンから受け取るコマンド

コマンド・キャラクタ	Hex	コマンド
" X "	0x58	 X軸のデータを読み出す
" X "	0x78	な軸のケータを読み出す
" Y "	0x59	 Y軸のデータを読み出す
" у "	0x79	1 軸のナーラを読み出す
" C "	0x43	現在値をゼロにするように
" c "	0x63	キャリブレーションする
" M "	0x4D	最大値保持モードへ.正の
" m "	0x6D	加速度の最大値を保持
" S "	0x53	現在値保持モードへ.
" s "	0x73	現在値を保持
"R"	0x52	現在値読み出しモードへ.
"r"	0x52 0x72	キャリブレーションOFF
I	0.772	セットをリセットする

パソコンのターミナルなどを利用すれば, ADXL213 が検出した値を読み取ることができます.

4. VHDL による設計

前項で説明した四つのブロックを, VHDLを使って回路記述します. FPGA 開発ツールは Altera 社の Quartus Web Editionを使いました. メインの VHDL 記述を**リスト**1に示します. ルートの記述では, それぞれのブロックに対応する,

Rex210: ADXL213のパルス幅読み取り

Caldata: データの処理部

Rcsq:シリアル・データ受信ならびにコマンド解釈

Tcsq: ASCII 数値変換ならびにシリアル・データ送信の四つの回路を単につなぎ合わせただけです. すべての回路は20MHz クロックの同期回路となっています.

シュミレーションのために, すべての回路に非同期リセットを設けています. 実装するときも, FPGA のピンに

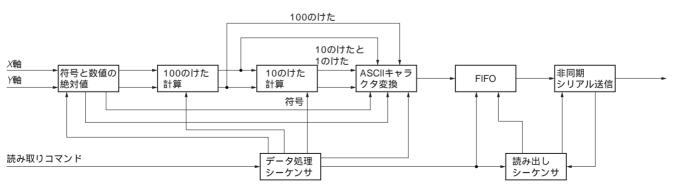
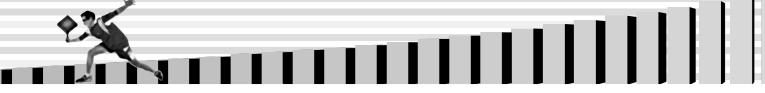
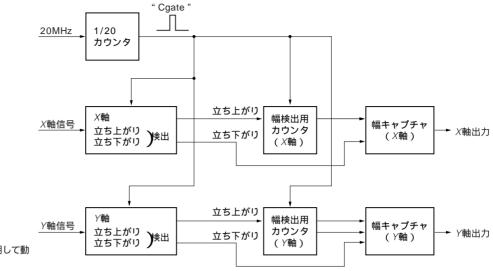


図7 ASCII 数値変換およびシリアル・データ送信のプロック図

パソコンからのコマンドがデータを要求した場合,データ処理部で計算した値をASCII数字に変換し,19.2kbpsの速度で,シリアル信号で送り返す.





パルス幅検出回路のプロック図 すべての回路は1MHzのゲート信号

図の

すべての回路は1MHzのゲート信号に同期して動作する.

リスト1 データ取得回路のVHDL記述

```
Ysend : in std logic; -- Y data trigger
                                                                                           Xdata : in std_logic_vector(9 downto 0);
-- AD213 process main
                  (C)2007,04,08 by Yoshikazu Nishimura
                                                                                           Ydata : in std_logic_vector(9 downto 0);
                                                                                                    : out std logic; --- 20MHz/65 Gate pulse
                                                                                           Tgate
                                                                                           TxData : out std_logic
LIBRARY ieee;
use ieee.std_logic_1164.all;
                                                                                      end component;
use ieee.std_logic_unsigned.all;
                                                                                      component Rosa port
entity Ad213main is
                                                                                          Mclk
                                                                                                   : in std_logic; -- Master clock 20MHz
                                                                                          Reset : in std_logic; -- Master Reset
Tgate : in std_logic; -- 20MHz/65 gate pulse
  port
                : in std_logic; -- Master clock 20MHz
: in std_logic; -- Master Reset
                                                                                          Rxd : in std_logic; -- Serial input
       Mclk
                                                                                          Xtrig : out std_logic; -- Trigger to send X data
       Reset
                                                                                          Ytrig : out std_logic; -- Trigger to send Y data
Mtrig : out std_logic; -- Mode trigger
Cal : out std_logic; -- Cal data
                : in std_logic; -- X axis data
: in std_logic; -- Y axis data
       Xin
       Vin
                : in std_logic; -- Serial input
: out std_logic -- Serial data
       Rxd
                                                                                                  : out std_logic_vector(1 downto 0)
       Txd
                                                                                          Mode
     );
                                                                                        ) .
                                                                                      end component;
end Ad213main;
                                                                                      component Caldata port
ARCHITECTURE one OF Ad213main IS
                                                                                          Mclk : in std_logic; -- Master clock 20MHz
Reset : in std_logic; -- Master Reset
  signal Xdata, Ydata
                                 : std_logic_vector(9
                                                          downto 0);
                                                                                           Xind : in std_logic_vector(9 downto 0);
  signal Xout, Yout
                                     : std_logic_vector(9
                                                                                                   : in std_logic_vector(9 downto 0);
                                                           downto 0);
                                                                                           Yind
                                                                                           Xsamp : in std_logic; -- X data Sample phase
Ysamp : in std_logic; -- Y data Sample phase
  signal Mode
                                     : std_logic_vector(1
                                                          downto 0);
                                                                                          Cal : in std_logic; -- Cal data
Mtrig : in std_logic; -- Maximum
  signal Xsamp, Ysamp, Tgate : std_logic;
  signal Cal, Mtriq
                                     : std_logic;
                                   : std_logic;
  signal Xtrig, Ytrig
                                                                                          Mode : in std_logic_vector(1 downto 0);
                                                                                                                                         -- Sample data
                                                                                          Xout : out std_logic_vector(9 downto 0);
Yout : out std_logic_vector(9 downto 0)
  component Rex210 port
       Mclk : in std_logic; -- Master clock 20MHz
Reset : in std_logic; -- Master Reset
Xaxis : in std_logic; -- X axis data
Yaxis : in std_logic; -- Y axis data
                                                                                        );
                                                                                      end component:
       Xdata
                : out std logic vector(9 downto 0);
       Ydata : out std_logic_vector(9 downto 0);
Xgate : out std_logic; -- X sample gate
Ygate : out std_logic -- Y sample gate
                                                                                          Detect signal
                                                                                   U0: Rex210 port map
  end component;
                                                                                           Mclk
                                                                                                     => Mclk,
                                                                                                                    -- Master clock 20MHz
                                                                                                     => Reset,
                                                                                                                    -- Master Reset
                                                                                           Reset
                                                                                                    => Xin,
  component Tcsq port
                                                                                           Xaxis
                                                                                                                    -- X axis data
                                                                                           Yaxis
                                                                                                    => Yin,
                                                                                                                    -- Y axis data
       Mclk : in std_logic; -- Master clock 20MHz
Reset : in std_logic; -- Master Reset
Xsend : in std_logic; -- X data trigger
                                                                                           Xdata
                                                                                                    => Xdata,
                                                                                                    => Ydata,
                                                                                           Ydata
                                                                                           Xgate => Xsamp,
                                                                                                                   -- X sample gate
```



リセットを割り当てます.そこで,リセットのピンに WeakPullUpを指定しました.このピン定義エディタは,VHDLで記述できない,電流駆動能力やその他のIC固有 の属性を細かく設定できます.出力ピンは最低の4mA のドライブに設定しました.

FPGA の電源投入後,コンフィグレーションが終わるまで,全I/O ピンはフローティングになります.従って電源投入後は"L"で,コンフィグレーションが終わった後は,プルアップの抵抗がつながり,リセットが解除されます.さらにピンにコンデンサを付ければ,確実にリセットになりますが,シュミレーション時を除くとリセットはあまり重要ではありませんので,そこまでは行っていません.

```
Ygate
              => Ysamp
                          -- Y sample gate
       Calculate data
U1: Caldata port map
      Mclk
              => Mclk.
                          -- Master clock 20MHz
              => Reset,
                         -- Master Reset
      Reset
              => Xdata,
      Xind
      Vind
              => Ydata,
      Xsamp
              => Xsamp,
                          -- X data Sample phase
      Ysamp
              => Ysamp,
                          -- Y data Sample phase
                          -- Cal data
      Cal
              => Cal.
      Mtrig
              => Mtrig,
                          -- Status trigger
      Mode
              => Mode,
                          -- Process status
      Xout.
              => Xout..
      Yout
              => Yout
    ) ;
       Receive Serial Command
U2: Rcsq port map
      Mclk
              => Mclk,
                          -- Master clock 12.288MHz
      Reset
              => Reset,
                          -- Master Reset
      Tgate
              => Tgate,
                          -- 20MHz/65 gate pulse
      Rxd
              => Rxd,
                          -- Serial input
      Xtrig
              => Xtrig,
                          -- Trigger to send X data
      Ytrig
              => Ytrig,
                          -- Trigger to send Y data
      Mtrig
              => Mtrig,
                         -- Mode trigger
      Cal
              => Cal.
                          -- Cal data
      Mode
              => Mode
                          -- Openration mode
    ) :
       Send Serial Data
U3: Tcsq port map
      Mclk
              => Mclk.
                          -- Master clock 20MHz
      Reset
             => Reset,
                         -- Master Reset
              => Xtrig,
                          -- X data trigger
      Ysend
              => Ytrig,
                          -- Y data trigger
      Xdata
              => Xout,
      Ydata
              => Yout.
      Tgate
                          --- 20MHz/65 Gate pulse
              => Tgate,
      TxData => Txd
END one:
```

● パルス幅読み取り部 Rex210

パルス幅検出回路の処理ブロックを**図**8に示します.マスタ・クロックは20MHzですが,出力は1kHz,10ビット程度の解像度に設定するので,1/20のカウンタで1MHzのゲート信号を作ります.すべての回路はこの1MHzのゲート信号に同期して動作します.

次に ADXL213 から入力されるパルスの立ち上がりと立ち下がりを、**図**9 で示すステート・マシンで検出します. ADXL213 のパルスは,20MHz に対して非同期ですが,ここで20MHz に同期した,パルス・エッジ・タイミングが得られます.今回はパルスのチャタリング処理は入れていません.X 軸(Xedge)とY 軸(Yedge)それぞれの回路があります.

パルスの立ち上がりエッジでリセットする1MHzのカウンタを使い、パルス幅を計測します.X 軸(Xcount)とY 軸(Ycount)のそれぞれがあります. $\mathbf Z$ 8 に示すように,このカウンタの値をパルスの立ち下がりでキャプチャします.取り込まれた値はそれぞれX 軸(Xwidth)とY 軸(Ywidth)にラッチされます.

● データ処理部 Caldata

データ処理回路のブロックを**図**10に示します.Rex210 ブロックから入力されるカウンタの値は,オフセット・バイナリですから,まずはそれを2の補数表現に変換します.処理は簡単で,0x200を加えればよいので,10ビットのMSB(most significant bit)の極性を反転するだけです.またRex210部からの出力データは,パルスの立ち下がリタイミングでデータが変化し都合が悪いので,常に同じタイミングになるように,変化しないパルスの立ち上がりでラッチします.

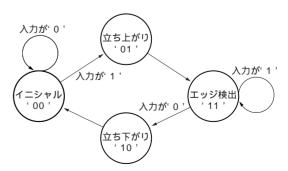


図9 立ち上がリ/立ち下がり検出用ステート・ダイヤグラム パルスのチャタリング処理は入れてない。

次にキャリブレーションのオフセット値を取り込む処理です.パソコンからのコマンドを受けたタイミングで,その時点の10 ビットの値を X(Calx)/Y(Caly)にそれぞれ記憶します.データをキャリブレーションするため,現在の値から記憶したオフセット値(Calx , Caly)をそれぞれ引きます.これが現在値として出力されます.

絶対値の最大値を検出します.パソコンから最大値ホールド・コマンドがくると,その時点から変化した値のうち, 絶対値の最大値を保持します.処理的にはこれまでの最大値から現在の値の引き算を行い,結果が負になった場合, 現在値を最大値とします.

演算部の処理は、パソコンからコマンドを受け取ったとき、出力モードが変化します。モードは Mode レジスタの中に保存されています。

00:現在値(キャリブレーションを取った後)を出力

01:現在までの最大値を出力

10:コマンドがきた時点のデータを保存し,出力

この Mode や Calx, Caly はパソコンからのクリア・コマンドによってゼロに初期化されます.

● データ受信およびコマンド解釈部 Rcsq

Rcsqモジュールの下には,非同期シリアルを受信する uartrx モジュールがあります. 19.2kbps で入力される「8 ビット非同期,1ストップ・ビット,パリティなし」のシリアル・データを受信します. 19.2kbps のデータはその約16 倍の307.692kHz(20MHz/65)でサンプリングして同期を検出し,受信されます. このような UART の回路構成はごく標準的なもので,皆さんも一度は作ったことがあるので

はないでしょうか.

非同期シリアル受信部で受け取った8ビットの1文字データを,パソコンからのコマンドとして,どのコマンドに対応するかが判断されます.6種類のコマンドに対応するASCII文字を,CASE文を使って判断します.大文字だけでなく小文字でも入力できるように,合計12通りを判断できる回路です.

● 数値変換およびデータ送信部 Tscq

処理のブロックを**図**7に示しました.このモジュールの下にも非同期シリアル・データを送信する uarttx モジュールがあります.データの送信トリガ Sload が入力されると, 19.2kbps の非同期シリアル・データとして出力されます. 同じく 20[MHz] \div 65 \div 16 = 19.23[kHz]のクロックで1ビットずつ送り出されます.

ADXL213のデータは符号を含み10ビットで取り込みます.まずはそれを符号および3けたの10進数に変換します.これら一連の処理は図11で示すステート・ダイヤグラムで処理されます.ステート・マシンは4ビットのHstaで現在の状態が示されます.まずは絶対値に変換された後,100のけたから計算されます.100を何回引けるかで,100のけたが決まります.次に10のけたです.先ほどの残りの100以下の数値から,同じく10を何回引けるかで,10のけたが決まります.残りが1のけたとなります.

その後,符号(プラス/マイナス)および3けたの変換されたASCII数字は,データの変換速度とシリアル送信のタイミングを切り離すため,とりあえずFIFOの中に順次書き込まれます.FIFOの深さは16バイトと少ないですが,

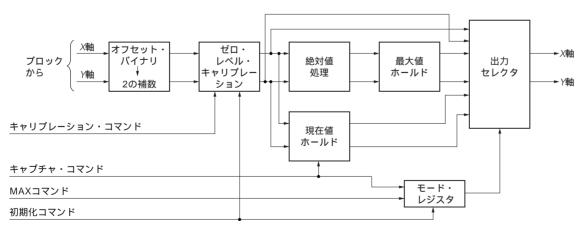


図10 データ処理回路のブロック図

Rex210 プロックから入力された値を2の補数に変換.その後,絶対値処理や最大値ホールドを行う.



これは人間の手入力程度では十分の深さです.FIFOの出力側では,FIFOが空になるまで,FIFOから1バイトずつ読み出され,uarttxモジュールからシリアル・データとして送信されます.

5. パソコンに接続して動作を確認

シリアルROMに回路データを書いた後,実際にパソコンにつないで動作確認をしてみます。写真4のように一般的な9ピンのシリアル・ケーブルを使い,パソコンのCOMに接続します。筆者の場合は,ターミナル・ソフトとして,フリーのソフトウェア「WTERM」を使っています。立ち上げ通信条件を,「通信速度:19.2kBaud,データ:8ビット,パリティなし,1ストップ・ビット」に設定します。

とりあえず,実験基板を地面に対して水平に置いた状態で,5Vの電源を投入します.そこでX軸のデータを読みとるため,Xのキーを押してみます.すると,図12のように、現在の測定値がターミナルの画面に表示されます.

本当は水平に置いているため重力加速度の影響はないはずです.しかし,ゼロにはなりません.理由は,ADXL213のパルス幅が正確に1kHzになっていないことと,ICのばらつきでしょう.そこで,この状態を加速度ゼロとするため,キャリブレーション・コマンドとして[C]キーを押してみます.その後同じくX軸の値を読み取るため[X]キー

を押すと,図13のように,今度はほぼゼロの値を示すようになります.次にY軸の値を読むため,[Y]キーを押してみます.同じくキャリプレーションされたゼロ近くの値が表示されるはずです.

今度は重力加速度を測って見ます.加速度センサのX軸 正方向に基板を垂直に立てて(写真5),X軸の値を読み取ります.すると,図14のように,今度はゼロではなく重力加速度1gに対応する値が返されてきます.図14(a)のはじめの二つの値は,写真5の位置で読み取ったXとYの値です.次の二つの値は,基板を写真5とはさかさまにして計ったときのXとYの値です.ここでY軸の値を読み取ってみると,ゼロに近い値を示します.加速度センサのY軸方向は水平だからです.

次に加速度センサのX軸方向は水平に,Y軸方向が垂直になるように基板を立てて見ます.その状態でY軸の読み取りコマンドを送ると, \mathbf{Z} 14(b)のような値が読み取れるはずです.X軸はゼロ付近を示します.ADXL213の加速度センサがX軸とY軸とで,直交してZ個配置されていることがよくわかります.

* * *

今回はADXL213を実際に動作させてみて,その働きを体験してみました.思いのほか簡単に使えたというのが率直な感想です.特にADXL213の場合,出力がPWMになっているため,マイコンやロジックICと直接接続するこ

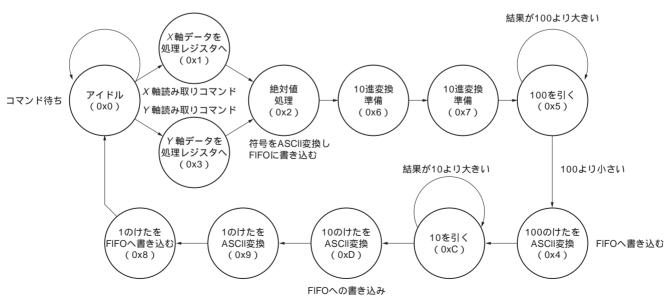
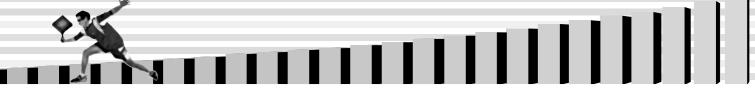


図11 X/Yデータの10 進変換とFIFO 書き込みシーケンス

ADXL213のデータは符号を含み10ビットで取り込む.まずはそれを符号および3けたの10進数に変換する.



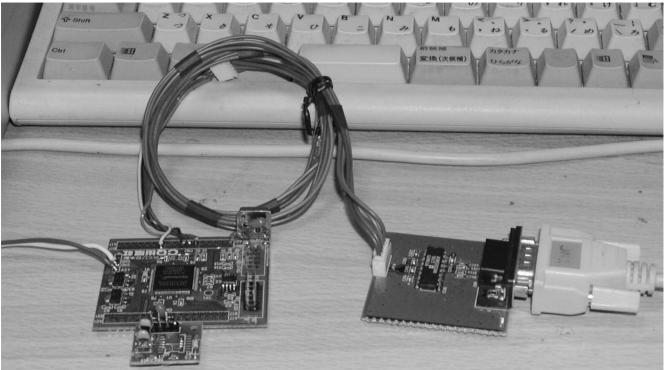
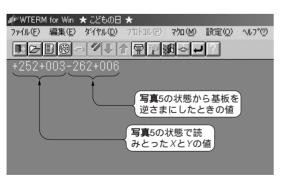


写真4 2003年10月号付属基板とレベル変換基板をパソコンに接続



図12 電源投入後の測定値

ゼロにはならない.理由はADXL213のパルス幅が正確に1kHzになってい ないことと, センサのばらつきがあるため.



(a) X 軸を垂直に立てたときの値

図14 重力加速度に対応する値 -



図13 キャリプレーション後の値

はじめの二つの数値はキャリブレーション前のX,Yの値.次の二つの数値 はキャリブレーション後のX, Yの値である.



(b) Y軸を垂直に立てたときの値



とができ、とても便利だと感じました、

加速度センサはアナログ・レベル出力のものが多いようです.多くのマイコンには,通常,A-Dコンバータは付いていますから,そんなに大きな問題とはならないと思いますが,やはリロジック・レベルで接続できるのは便利です.

実験基板を使っていて,いろいろな応用が頭に浮かんできました.例えば,平面の傾きセンサなどが簡単に製作できそうです.皆さんもこれを機会に面白い製品を設計できるのではないでしょうか.

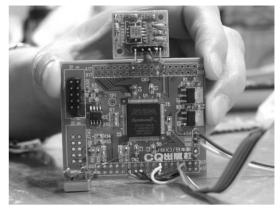


写真5 重力加速度を測定するため基板を垂直に立てたようす

にしむら・よしかず (株)エー・オー・アール

<筆者プロフィール> -

西村芳一.1954年,長崎県長崎市生まれ.現在,エーオーアールにて,受信機の開発に従事.最近のディジタル化と信号の高周波化で,ますます勉強しないといけないことが山積み.関連書籍はとりあえずそろえたが,元来のグータラ症で,「まーいいか,明日にしよう!...」.脳の空洞化現象が進むいっぽう.

ia6uhl@casstv.com

参考・引用*文献

(1)* ADXL213データシート, Analog Devices.

http://www.analog.com/UploadedFiles/Data_Sheets/ADXL213.pdf

(2)* ADXL213EB データシート, Analog Devices.

http://www.analog.com/UploadedFiles/Evaluation_Boards_Tools/53621793629198ADXL213EB_0.pdf

Design Wave Advance

好評発売中



システム・レベル・モデリングからビヘイビア合成まで

SystemCを使ったハードウェア設計

桜井 至 著 B5変型判 176ページ 定価 3,570円(税込) JAN9784789836166

本書は, SoC(System on a Chip)や大規模 ASIC(Application Specific Integrated Circuit)の開発を効率化する切り札として注目が集まっている SystemC 言語に関する解説書です.C/C++ 言語ベースのLSI 設計の概念やLSI 設計で利用される SystemC 構文を解説し, さらに SystemC の記述例を多数収録しています.また,開発プロジェクトへの適用例が増えているビヘイビア合成(高位合成)ツールの利用を意識した記述を紹介しています.

Design Wave Advance

好評発売中



四則演算、初等超越関数、浮動小数点演算の作りかた

ディジタル数値演算回路の実用設計

鈴木 具治 茅 R5亦刑判 256ページ 定価 3.570円/超泳) ΙΔΝ0.78.4.780.8.36.1.7

画像処理や音声処理,暗号処理などには欠かせない数値演算回路設計についての解説書です.本書では数値演算回路として,加減算回路,乗算回路,除算回路,浮動小数点演算回路,初等超越関数を取り上げます.また,応用回路としてディジタル・ビデオ・エフェクトのアドレス生成回路の設計方法を紹介します.本書はあくまでも実用回路の製作に主眼を置いています.そのため,具体的な回路例(ソース・コード)を示しながら,数値演算を実際の回路に落とし込む過程を理解できるように説明しています.また,製品の差異化の重要な要素となる高速化や小型化を図るため,さまざまな視点でのアプローチを紹介します.

CQHH版社 〒170-8461 東京都豊島区巣鴨1-14-2 販売部 ☎ (03)5395-2141 振替 00100-7-10665